

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-063018
 (43)Date of publication of application : 01.04.1986

(51)Int.CI. H01L 21/20
 H01L 21/263

(21)Application number : 59-183730 (71)Applicant : AGENCY OF IND SCIENCE & TECHNOLOGY

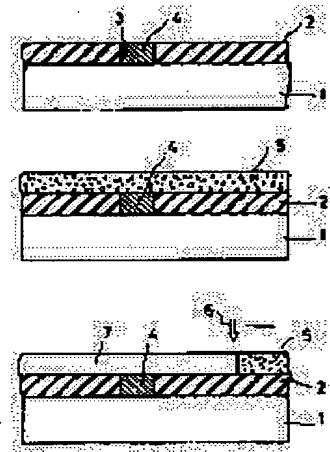
(22)Date of filing : 04.09.1984 (72)Inventor : YOSHII TOSHIRO

(54) MANUFACTURE OF SEMICONDUCTOR THIN FILM CRYSTAL LAYER

(57)Abstract:

PURPOSE: To bring down the energy required for an annealing to be performed on the aperture part of the titled crystal layer as well as to enable to form a single crystal semiconductor thin film layer, having excellent crystallizability and surface flatness, on an insulating film by a method wherein a semiconductor having the melting point lower than that of a substrate is formed in advance on the substrate of the aperture part.

CONSTITUTION: A single crystal semiconductor substrate 1 is oxidized by heat, and after an insulating film 2 is formed on the substrate 1, an aperture 3 is formed on a part of the film 2. Then, the prescribed pretreatment is performed, a sample is placed in a vapor-phase growing device, gas is introduced into a hydrogen gas atmosphere, a Ge film 4 is epitaxially grown selectively on the substrate 1 only of the aperture part 3, and then a polycrystalline Si film 5 is coated thereon by performing a vapor-phase growing method. Then, an electron beam 6 is made to irradiate on the surface of the sample, films 4 and 5 are fused and solidified, and an epitaxially-grown layer 7 is grown in lateral direction from the aperture part 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭61-63018

⑫ Int.Cl.

H 01 L 21/20
21/263

識別記号

府内整理番号

7739-5F

⑬ 公開 昭和61年(1986)4月1日

審査請求 有 発明の数 1 (全3頁)

⑭ 発明の名称 半導体薄膜結晶層の製造方法

⑮ 特願 昭59-183730

⑯ 出願 昭59(1984)9月4日

⑰ 発明者 吉井俊夫 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出願人 工業技術院長

明月 本田 稲葉

1. 発明の名称

半導体薄膜結晶層の製造方法

2. 特許請求の範囲

- (1) 単結晶半導体基板上に一部開孔部が設けられた絶縁膜を形成する工程と、上記開孔部に露出した基板上に該基板よりも融点の低い第1の半導体薄膜を選択的にエピタキシャル成長する工程と、次いで全面に第2の半導体薄膜を形成する工程と、上記第2の半導体薄膜にエネルギーービームを照射し該半導体薄膜を浴融再結晶化する工程とを含むことを特徴とする半導体薄膜結晶層の製造方法。
- (2) 前記半導体基板及び前記第2の半導体薄膜は、Siであることを特徴とする特許請求の範囲第1項記載の半導体薄膜結晶層の製造方法。
- (3) 前記第1の半導体薄膜は、Geであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体薄膜結晶層の製造方法。
- (4) 前記エネルギーービームとして、電子ビーム或いはレーザビームを用いたことを特徴とする特許

請求の範囲第1項記載の半導体薄膜結晶層の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、絶縁膜上に半導体薄膜結晶層を製造する方法に係わり、特にビームアニール技術を用いた半導体薄膜結晶層の製造方法に関する。

(発明の技術的背景とその問題点)

近年、SOS基板に代わるものとしてSOI(絶縁膜上のシリコン)基板が提案されている。このSOI基板は、SOS基板の特徴を有しながらサファイア等の高価な基板を用いる必要ないので、大面積のものも安価に形成することができる。また、3次元ICへの応用にも有効であり、将来のVLSIの一環を担うものとして注目されている。

ところで、上記のSOI構造は最近発達したビームアニール法によって部分的に可能となっている。即ち、Siを例にとると、単結晶Si基板を酸化してSiO₂膜を形成した後、この一部を除

去して開孔部を設け、次いで全面に多結晶Si膜を被着しSi基板表面からSiO₂膜上まで多結晶Si膜を連続して延在させる。次に、多結晶Si膜に電子ビームやレーザビーム等のエネルギー・ビームを照射走査すると、基板表面で溶融した多結晶Si膜が基板から液相エピタキシャル成長によって単結晶化し、さらにビームの走査方向に沿ってSiO₂膜上の多結晶Si膜もそれに引き継ぎ単結晶化されることになる。

しかしながら、この種の方法にあっては次のような問題があった。即ち、開孔部上に被着した多結晶Si膜を溶融せしめるのに必要なエネルギーはSiO₂膜上でのそれと比較して高くなり、SiO₂膜上の多結晶Si膜をアニールするに必要なエネルギーでは開孔部上の多結晶Si膜が十分にアニールされず良質の結晶は得られない。これはSiの熱伝導率がSiO₂のそれよりも大きいため、開孔部上の多結晶Si膜では熱が基板下方に伝導していく割合が大きくなり、基板表面近くの温度がSiO₂膜上の多結晶Si膜よりも同

一エネルギー条件の下では低くなるからである。これを解決するために、エネルギーを大きく（開孔部上の多結晶Si膜も十分にアニールされる程度に）すると、SiO₂膜上の多結晶Si膜が加熱され過ぎて蒸発を起こし、SiO₂膜上に形成される単結晶Si表面の平滑性が失われる現象が見られる。このため、従来の方法では、結晶性及び表面平滑性の優れた単結晶層を得ることは困難であった。

（発明の目的）

本発明の目的は、絶縁膜上に結晶性及び表面平滑性の優れた単結晶半導体薄膜層を形成することができ、3次元IC等の製造に好適する半導体薄膜結晶層の製造方法を提供することにある。

（発明の概要）

本発明の骨子は、単結晶形成の種部となる開孔部の基板上に該基板よりも融点の低い半導体を予め形成し、開孔部でのアニールに必要なエネルギーを低く抑えることにある。

即ち本発明は、絶縁膜上に半導体薄膜結晶層を

製造する方法において、単結晶半導体基板上に一部開孔部が設けられた絶縁膜したのち、上記開孔部に露出した基板上に該基板よりも融点の低い第1の半導体薄膜を選択的にエピタキシャル成長し、次いで全面に第2の半導体薄膜を形成し、かかるのち上記第2の半導体薄膜にエネルギー・ビームを照射して該半導体薄膜を溶融再結晶化するようにした方法である。

（発明の効果）

本発明によれば、開孔部にある第1の半導体薄膜が第2の半導体薄膜よりも先に溶融するので、開孔部上の第2の半導体薄膜の溶融・再結晶化に必要なビームのエネルギーを低く抑えることができる。このため、絶縁膜上の半導体薄膜をビームアニールするに必要なエネルギーで開孔部上の第2の半導体薄膜を十分にアニールすることができる。従って、開孔部上の半導体薄膜のアニール不足や絶縁膜上の半導体薄膜の蒸発等を防止することができ、絶縁膜上に形成する単結晶半導体薄膜層の結晶性及び表面平滑性の向上をはかり得る。

（発明の実施例）

以下、本発明の詳細を図示の実施例によって説明する。

第1図乃至第4図は本発明の一実施例に係わる半導体薄膜結晶層の製造工程を示す断面図である。まず、第1図に示す如く(100)面方位の単結晶Si基板(単結晶半導体基板)1を熱酸化して基板1上に厚さ1[μm]のSiO₂膜(絶縁膜)2を形成した後、SiO₂膜2の一部に開孔部3を形成した。次いで、所定の前処理を施し、上記試料を気相成長装置に入れ、水素ガス雰囲気中にGeCl₄ガス、HClガスを添加し、基板温度800[°C]において第2図に示す如く開孔部3の基板1上のみにGe膜(第1の半導体薄膜)4を選択エピタキシャル成長せしめた。ここで、GeはSiよりも溶融温度の低い半導体である。次いで、第3図に示す如く全面に多結晶Si膜(第2の半導体薄膜)5を気相成長法により0.6[μm]の厚さに被着した。

次に、第4図に示す如く試料表面に電子ビーム

6を照射し、多結晶Si膜5及びGe膜4を溶融・固化することにより、開孔部3から横方向へエピタキシャル成長層(単結晶Si層)7を成長させた。用いた電子ビームはCW型であり、ビーム照射時に基板温度を500[℃]とした。ここで、上記ビームアニールに際し、開孔部3上の多結晶Si膜5は下地のGe膜4が十分に溶融しているので、Siを十分アニールするに必要なエネルギーがなくてもエピタキシャル成長が可能である。このため、 SiO_2 膜2上の多結晶Si膜5をアニールするに必要なエネルギーで開孔部3上の多結晶Si膜5をエピタキシャル成長させることが可能となる。

このように本実施例方法によれば、 SiO_2 膜2の開孔部3にSiよりも融点の低いGe膜4を選択形成しておくことにより、 SiO_2 膜2上の多結晶Si膜5をビームアニールするに必要なエネルギーで開孔部3上の多結晶Si膜5を十分にエピタキシャル成長させることができる。このため、 SiO_2 膜2上に結晶性及び表面平滑性の優

れた単結晶Si層7を形成することができる。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記開孔部の基板上に形成する第1の半導体薄膜はGeに限るものではなく、基板よりも融点の低い半導体で選択エピタキシャル成長可能なものであればよい。また、第2の半導体薄膜は多結晶Siに限るものではなく、非晶質Siであってもよく、さらに各種の半導体を用いることが可能である。また、エネルギーとして、電子ビームの代りにレーザービームを用いることが可能である。さらに、カーボンヒータを用い、このヒータを走査するようにしてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

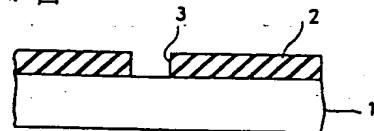
第1図乃至第4図は本発明の一実施例に係わる半導体薄膜結晶層の製造工程を示す断面図である。

1…単結晶Si基板(単結晶半導体基板)、2… SiO_2 膜(絶縁膜)、3…開孔部、4…Ge膜(第1の半導体薄膜)、5…多結晶Si膜(第

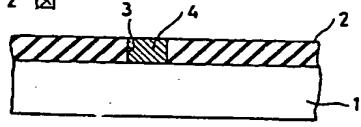
2の半導体薄膜)、6…電子ビーム、7…エピタキシャル成長層。

出願人 工業技術院長 川田裕郎

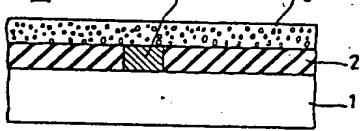
第1図



第2図



第3図



第4図

